

# ISIM: ASK + SO

## Ćwiczenia 3½: “Układy sekwencyjne (c.d.)”

Należy przygotować się do zajęć czytając następujące rozdziały książek:

- Harris & Harris: 3.1 – 3.5 (bez gwiazdek)

### Zadanie 1

Zaprojektuj automat skończony zliczający takty zegara i wyrażający je w postaci 3-bitowego **kodu Gray’a**. Tj. przy każdym zboczu narastającym zegara automat ma przechodzić do następnej liczby w kodzie Gray’a. Po osiągnięciu ostatniej liczby 100 powinien powrócić do stanu początkowego 000. Następnie dodaj wejście KIERUNEK – jeśli będzie ono ustawione na 1 to licznik będzie się zwiększał, jeśli 0 to zmniejszał.

### Zadanie 2 [Kiero]

Zbuduj układ szeregowego komparatora liczb: na dwa wejścia układu podawane są w kolejnych cyklach zegara kolejne bity dwóch liczb A i B w kolejności od najmniej znaczącego do najbardziej znaczącego bitu (zakładamy, że liczby są tej samej długości). Układ powinien mieć trzy wyjścia, z których zawsze tylko jedno jest aktywne: EQ – gdy na pierwszym ma być jedynka jeśli przeczytane do tej pory liczby są równe; GE – gdy pierwsza liczba jest większa; LE – gdy pierwsza liczba jest mniejsza.

### Zadanie 3

Układy **FPGA** (ang. *field programmable gate array*) używają **CLB** (ang. *configurable logic block*) zamiast bramek logicznych do realizacji układów kombinacyjnych. Konfigurowalne bloki logiczne układu *Xilinx Spartan 3* charakteryzują się następująco:  $t_{pd} = 0.61ns$ ,  $t_{cd} = 0.30ns$ , a przerzutniki:  $t_{pcq} = 0.72ns$ ,  $t_{ccq} = 0.50ns$ ,  $t_{setup} = 0.53ns$ ,  $t_{hold} = 0ns$ .

- Jeśli konstruujesz system, który musi działać z częstotliwością  $40MHz$ , jak wiele bloków logicznych możesz użyć między kolejnymi warstwami przerzutników? Można założyć, że narastające zbocze zegara pojawia się wszędzie w takich samych momentach (nie ma przesunięcia zegara) i połączenia między blokami nie wprowadzają opóźnień.
- Załóżmy, że wszystkie ścieżki między kolejnymi warstwami przerzutników muszą przejść przez co najmniej jeden blok logiczny. Jaką wielkość przesunięcia zegara może tolerować nasz układ FPGA bez naruszenia ograniczenia na czas ustalania (ang. *hold time constraint*)?

### Zadanie 4

**Synchronizator** jest zbudowany z pary przerzutników o parametrach  $t_{setup} = 50ps$ ,  $T_0 = 20ps$  i  $\tau = 30ps$ . Synchronizator próbkuje asynchroniczny sygnał, który zmienia się  $10^8$  razy na sekundę. Jaki jest minimalny cykl zegara by średni czas bezawaryjnej pracy wynosił 100 lat?

Krystian Baćłowski