

ISIM: ASK + SO

Ćwiczenia 3: "Układy sekwencyjne (c.d.)"

Należy przygotować się do zajęć czytając następujące rozdziały książek:

- Harris & Harris: 3.1 – 3.5 (bez gwiazdek)

Należy być przygotowanym do wytłumaczenia **wytłuszczonych** haseł.

Zadanie 1

Zaprojektuj **asynchronicznie resetowalny przerzutnik typu D** używając wyłącznie bramek.

Zadanie 2

Rozbuduj automat kontrolera świateł z rozdziału 3.4.1 tak, aby korzystał z polskiej konwencji zapalania światła zielonego poprzez przejście od czerwonego przez pomarańczowe. Zmień też kodowanie wyjścia na [kod 1-z-n](#), tak by bez dodatkowej logiki można było sterować zapalaniem i gaszeniem poszczególnych świateł. Narysuj graf przejść stanów swojego **automatu Moore'a**, tabelę kodowania stanów i wyjść, tabelę przejść stanów, formuły boolowskie opisujące wyjścia i następny stan oraz schemat.

Zadanie 3

Przebuduj automat kontrolera świateł z rozdziału 3.4.1 tak by był sprawiedliwy. Rozumiemy przez to, że samochód nie będzie czekał na czerwonym świetle zbyt długo nawet, jeśli na prostopadłej ulicy jest intensywny ruch. Na potrzeby zadania założmy, że po 5 cyklach oczekiwania ruch na prostopadłej ulicy ma zostać wstrzymany tak, by w 7 cyklu samochód mógł bezpiecznie przejechać na zielonym świetle. Być może będzie trzeba dokonać **faktoryzacji automatu**. Narysuj graf przejść stanów swoich automatów, tabele kodowania stanów i wyjść, tabele przejść stanów, formuły boolowskie opisujące wyjścia i następny stan oraz schemat.

Zadanie 4

Zaprojektuj **automat skończony Mealy'ego** o najmniejszej możliwej liczbie stanów. Ma on w ciągu odczytywanych bitów rozpoznawać słowa 1101 oraz 1110 i sygnalizować to jedynką na wyjściu. Narysuj graf przejść stanów. Wybierz kodowanie stanów, a następnie napisz tabelę przejść stanów i stanów wyjściowych. Napisz równania boolowskie kodujące następny stan oraz wyjście, po czym narysuj schemat swojego automatu.

Zadanie 5

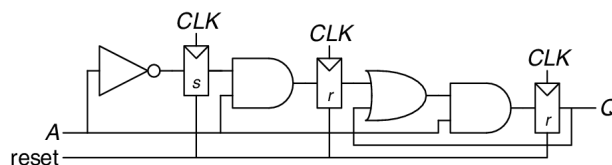
Zaprojektuj automat skończony zliczający takty zegara i wyrażający je w postaci 3-bitowego **kodu Gray'a**. Tj. przy każdym zboczu narastającym zegara automat ma przechodzić do następnej liczby w kodzie Gray'a. Po osiągnięciu ostatniej liczby 100 powinien powrócić do stanu początkowego 000. Następnie dodaj wejście KIERUNEK – jeśli będzie ono ustawione na 1 to licznik będzie się zwiększał, jeśli 0 to zmniejszał.

Zadanie 6 [Kiero]

Zbuduj układ szeregowego komparatora liczb: na dwa wejścia układu podawane są w kolejnych cyklach zegara kolejne bity dwóch liczb A i B w kolejności od najmniej znaczącego do najbardziej znaczącego bitu (zakładamy, że liczby są tej samej długości). Układ powinien mieć trzy wyjścia, z których zawsze tylko jedno jest aktywne: EQ – gdy na pierwszym ma być jedynka jeśli przeczytane do tej pory liczby są równe; GE – gdy pierwsza liczba jest większa; LE – gdy pierwsza liczba jest mniejsza.

Zadanie 7

Przeanalizuj działanie automatu skończonego przedstawionego na schemacie. Narysuj graf przejść stanów, tabelę przejść stanów oraz tabelę sygnałów wyjściowych. Jaką funkcję pełni ten automat? Przerzutniki mają wejścia S (ustala stan na 1) i R (ustala stan na 0).



Zadanie 8 [Kiero]

Przy pomocy przerzutników J-K zbuduj licznik liczący w następujący sposób:

0, 1, 2, 3, 4, 5, 4, 3, 2, 1, 0, 1, 2, ...

Zadanie 9

Układy **FPGA** (ang. *field programmable gate array*) używają **CLB** (ang. *configurable logic block*) zamiast bramek logicznych do realizacji układów kombinacyjnych. Konfigurowalne bloki logiczne układu *Xilinx Spartan 3* charakteryzują się następująco: $t_{pd} = 0.61ns$, $t_{cd} = 0.30ns$, a przerzutniki:

$t_{pcq} = 0.72ns$, $t_{ccq} = 0.50ns$, $t_{setup} = 0.53ns$, $t_{hold} = 0ns$.

- Jeśli konstruujesz system, który musi działać z częstotliwością $40MHz$, jak wiele bloków logicznych możesz użyć między kolejnymi warstwami przerzutników? Można założyć, że narastające zbocze zegara pojawia się wszędzie w takich samych momentach (nie ma przesunięcia zegara) i połączenia między blokami nie wprowadzają opóźnień.
- Załóżmy, że wszystkie ścieżki między kolejnymi warstwami przerzutników muszą przejść przez co najmniej jeden blok logiczny. Jaką wielkość przesunięcia zegara może tolerować nasz układ FPGA bez naruszenia ograniczenia na czas ustalania (ang. *hold time constraint*)?

Zadanie 10

Synchronizator jest zbudowany z pary przerzutników o parametrach $t_{setup} = 50ps$, $T_0 = 20ps$ i $\tau = 30ps$. Synchronizator próbkuje asynchroniczny sygnał, który zmienia się 10^8 razy na sekundę. Jaki jest minimalny cykl zegara by średni czas bezawaryjnej pracy wynosił 100 lat?

Krystian Baćkowski