

# Architektury Systemów Komputerowych

## Pracownia 0: "Wprowadzenie do Veriloga"

Należy przygotować się do zajęć czytając następujące rozdziały książek:

- Harris & Harris: 4.1 – 4.9

Do rozwiązywania zadań będziemy używać serwisu internetowego: [www.edaplayground.com](http://www.edaplayground.com). Należy złożyć konto, obejrzeć [samouczek](#), przyjrzeć się dostępnym przykładom oraz zapoznać z rozwiązaniami kilku książkowych zadań: [4.27](#), [4.35](#), [4.37](#), dostarczonymi przez prowadzącego.

**UWAGA!** Do zadań 2-5 należy dostarczyć testy wykazujące poprawność implementacji!

### Zadanie 1 [2pkt, bonus]

Celem tego zadania jest zweryfikowanie poprawności instalacji środowiska [Altera Quartus II](#). Ściągnij [archiwum](#) z przykładowym modułem i testem. Przeprowadź następujące kroki:

1. Utwórz projekt o nazwie lab03\_2 i dodaj do niego pliki z archiwum.
2. Uruchom pierwszy krok kompilacji *Analysis and Synthesis*.
3. Obejrzyj wygenerowany układ przy pomocy *RTL Viewer*.
4. Do symulatora *ModelSim* podczep dostarczony test – menu *Assignments* → *Settings*, pozycja *EDA Tools Settings* → *Simulation* → *NativeLink Settings* → *Test Benches*.
5. Uruchom symulator: *RTL Simulation*, który powinien załadować i odpalić test.
6. Przetestuj ręcznie układ używając poleceń **force** `signal value` oraz **run time**.

### Zadanie 2

Napisz moduł o nazwie mux8 implementujący multiplekser 8 do 1 z wejściami  $s_{2:0}$ ,  $d_{7:0}$  oraz wyjściem  $y$ .

### Zadanie 3

Napisz moduł dekodera [wyświetlacza 7-segmentowego](#). Twój moduł będzie miał wejście  $d_{3:0}$  przyjmujące 4-bitową liczbę oraz wyjście  $s_{6:0}$  sterujące segmentami wyświetlacza tak, aby wyświetlić jedną cyfrę w systemie szesnastkowym.

### Zadanie 4

Zaprojektuj licznik z wejściem sygnału zegarowego  $clk$ , synchronicznym zerowaniem  $reset$  i wyjściem  $s_{2:0}$ . Układ ma w kolejnych cyklach zegarowych (lub po resecie) ustalać wyjście w następujący sposób: 0, 1, 2, 3, 4, 5, 4, 3, 2, 1, 0, 1, 2, ...

### Zadanie 5

Zaprogramuj automat skończony z wejściem zegarowym  $clk$ , synchronicznym zerowaniem  $reset$ , wejściem  $A$ , wyjściami  $X$  i  $Y$ . Automat ma zachowywać się następująco:

- gdy na  $A$  zaobserwowano co najmniej 3 jedynek (nie koniecznie pod rząd)  $X = 1$ ;
- gdy na  $A$  zaobserwowano dwie jedynek w dwóch kolejnych cyklach wtedy  $Y = 1$ .